

Exercicio sobre Coerencia de Caches

1. Considere um sistema de memoria compartilhada baseado em barramento que possui tres processadores  $P_1$ ,  $P_2$ ,  $P_3$ . A memoria possui quatro blocos distintos:  $x$ ,  $y$ ,  $z$ ,  $w$ . Cada processador possui uma cache que armazena apenas um bloco de cada vez. Cada bloco deve estar em um de dois estados: Valido ou Invalido. Considere que as caches estao inicialmente vazias e os processadores acessam esses blocos na seguinte ordem:

Acao	Estado $P_1$	Estado $P_2$	Estado $P_3$
$P_1$ le $x$			
$P_2$ le $x$			
$P_3$ le $x$			
$P_1$ escreve em $x$			
$P_1$ le $z$			
$P_3$ escreve em $x$			
$P_1$ escreve em $z$			

- (a) Indique qual o estado de cada cache apos cada uma das acoes.
2. Considere agora os protocolos Write-Update (Atualizacoes em uma cache geram atualizacoes nas outras caches) e Write-Invalidate (possui estados de Valido e Invalido conforme exercicio 1). Qual e' o valor das caches dos processadores  $P_1, P_2, P_3$ , considerando as seguintes acoes?

Acao	Estado $P_1$	Estado $P_2$	Estado $P_3$	Estado $P_1$	Estado $P_2$	Estado $P_3$
$P_1$ le $x$						
$P_2$ le $x$						
$P_1$ escreve em $x \rightarrow x'$						
$P_3$ le $x$						
$P_3$ escreve em $x \rightarrow x''$						
$P_1$ le $x$						
$P_2$ escreve em $x \rightarrow x''$						

3. Sob qual(is) condicao(oes) uma cache implementada com o protocolo MESI gera menos mensagens no barramento do que uma cache implementada com MSI?
4. Considerando uma cache implementada com o protocolo MESI, e' possivel que um bloco dessa cache esteja no estado  $S$  mesmo que não existam copias desse bloco em outras caches? Justifique sua resposta.
5. Sob qual(is) condicao(oes) a acao de *Flush* seria desnecessaria na transicao de  $S \rightarrow I$ ?
6. Vimos o projeto de uma cache com um protocolo *snooping* e uma politica *write-back*. Sobre isso, responda:

- (a) Por que são utilizados dois comparadores? Eles seriam necessários mesmo para uma política *write-through*? Por que?
- (b) Qual a motivação para utilizar dois controladores (*Bus e Proc*) de *tags* e estados?
7. Quais são os estados dos processadores e ações no barramento para os eventos a seguir, considerando os protocolos MSI e MESI?

Ação	Estado $P_1$	Estado $P_2$	Estado $P_3$	Estado $P_4$	Estado $P_5$	Ação no barramento
$P_1$ le x						
$P_2$ le x						
$P_1$ escreve em x						
$P_3$ le x						
$P_4$ le x						
$P_3$ escreve em x						
$P_1$ escreve em x						
$P_4$ escreve em x						
$P_5$ le x						
$P_2$ le x						
$P_2$ escreve em x						
$P_5$ le x						
$P_5$ le x						